

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-318185

(43)Date of publication of application : 07.11.2003

(51)Int.Cl.

H01L 21/331  
H01L 21/205  
H01L 29/205  
H01L 29/737

(21)Application number : 2002-118443

(71)Applicant : SUMITOMO CHEM CO LTD

(22)Date of filing : 19.04.2002

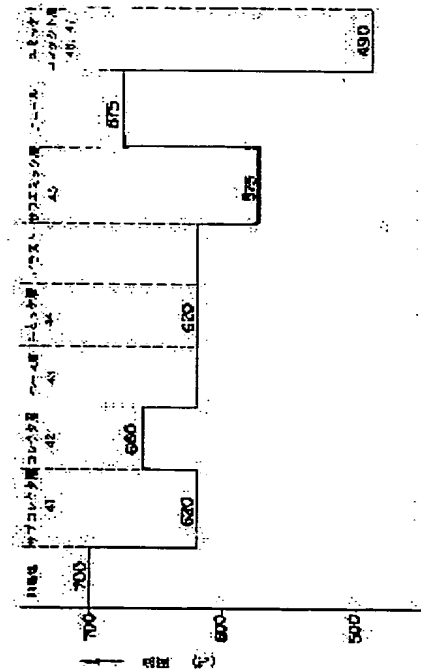
(72)Inventor : YAMADA HISASHI  
FUKUHARA NOBORU  
TAKADA TOMOYUKI

## (54) METHOD FOR MANUFACTURING COMPOUND SEMICONDUCTOR WAFER AND COMPOUND SEMICONDUCTOR ELEMENT

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a method for manufacturing a compound semiconductor wafer and a compound semiconductor element by which an InGaP-based HBT with an improved characteristic of current amplification factor can be manufactured.

**SOLUTION:** When a sub-emitter layer 45 is formed to manufacture a semiconductor wafer 1 for manufacturing the InGaP-based HBT after forming an emitter layer 44 by an MOCVD method, the sub-emitter layer 45 is grown at 600° C or lower and/or at a V/III ratio of 20 or less. Thus, the generation of a Ga defect can be controlled in the sub-emitter layer 45, and the semiconductor wafer 1 can be manufactured so that a bipolar semiconductor element with a hetero joint can be manufactured without reducing a current amplification factor of  $\beta$ . In addition, a base layer 43 is treated by dehydrogenation annealing before the sub-emitter layer 45 is formed, thereby resulting in the bipolar semiconductor element with a hetero joint having a large value of current amplification factor  $\beta$ .



\* NOTICES \*

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]

[Claim 1] It is a method for using the MOCVD method, carrying out vapor phase epitaxy of a collector layer, a base layer, an emitter layer, and the sub emitter layer in this order, on a compound semiconductor substrate, and manufacturing a compound semiconductor wafer for InGaP system HBT manufacture, A manufacturing method of a compound semiconductor wafer characterized by making it a V/III ratio grow up a n type GaAs layer by a growing condition used as the range of 20-1.0 as said sub emitter layer.

[Claim 2] A manufacturing method of the compound semiconductor wafer according to claim 1 into which it was made for said n type GaAs layer to grow up said V/III ratio as within the limits of 10-1.0.

[Claim 3] It is a method for using the MOCVD method, carrying out vapor phase epitaxy of a collector layer, a base layer, an emitter layer, and the sub emitter layer in this order, on a compound semiconductor substrate, and manufacturing a compound semiconductor wafer for InGaP system HBT manufacture, A manufacturing method of a compound semiconductor wafer characterized by having grown up a n type GaAs layer as said sub emitter layer, and making it grow up growing temperature as within the limits of 600 \*\* - 500 \*\*.

[Claim 4] A manufacturing method of the compound semiconductor wafer according to claim 3 into which it was made for said n type GaAs layer to grow up said growing temperature as within the limits of 580 \*\* - 500 \*\*.

[Claim 5] A manufacturing method of the compound semiconductor wafer according to claim 3 into which it was made for a V/III ratio to grow up said n type GaAs layer as within the limits of 20-1.0.

[Claim 6] A manufacturing method of the compound semiconductor wafer according to claim 4 into which it was made for a V/III ratio to grow up said n type GaAs layer as within the limits of 10-1.0.

[Claim 7] It is a method for using the MOCVD method, carrying out vapor phase epitaxy of a collector layer, a base layer, an emitter layer, and the sub emitter layer in this order, on a compound semiconductor substrate, and manufacturing a compound semiconductor wafer for InGaP system HBT manufacture, A manufacturing method of a compound semiconductor wafer characterized by performing dehydration annealing treatment of said base layer before forming said sub emitter layer.

[Claim 8] A manufacturing method of the compound semiconductor wafer according to claim 7 into which it grew up to be considering growing temperature as within the limits of 600 \*\* - 500 \*\*, and was made for said sub emitter layer to grow up a V/III ratio as within the limits of 20-1.0 as a n type GaAs layer.

[Claim 9] A compound semiconductor element manufacturing using a manufacturing method of the compound semiconductor wafer according to any one of claims 1 to 8.

---

[Translation done.]

## \* NOTICES \*

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the compound semiconductor element manufactured using the manufacturing method of the compound semiconductor wafer for the semiconductor device for high speed communications which operates in the frequency domain more than a microwave band, and this.

[0002]

[Description of the Prior Art] A heterojunction bipolar transistor (HBT) is a bipolar transistor which used the substance with a larger band gap than a base layer for the emitter layer, and made emitter base junction the hetero-junction in order to raise emitter injection efficiency.

Since it is suitable as a semiconductor device used in the frequency domain more than a microwave band, it is expected as a semiconductor device for next-generation cellular phones.

[0003] In the case of InGaP system HBT, an organic metal thermal decomposition method (the MOCVD method) is generally used for the structure of HBT on a semi insulating GaAs substrate, for example, By carrying out crystal growth of an  $n^+$ -GaAs layer (sub collector layer), n-GaAs layer (collector layer), p-GaAs layer (base layer), n-InGaP layer (emitter layer), and the n-GaAs layer (sub emitter layer) one after another, The pn junction which is emitter base junction forms the thin film crystal wafer of the layer system used as the structure of the hetero-junction mentioned above, and HBT is manufactured using this.

[0004] Drawing 6 is a figure showing a general structure of InGaP system HBT typically. HBT100, The sub collector layer 102 which comprises an  $n^+$ -GaAs layer on semi insulating GaAs substrate 101, the collector layer 103 which comprises n-GaAs layer, the base layer 104 which comprises p-GaAs layer, the emitter layer 105 which comprises n-InGaP layer. And the sub emitter layer 106 which comprises an  $n^+$ -GaAs layer, and the emitter contact layer 107 which comprises an  $n^+$ -InGaAs layer are formed as a semiconductor thin film crystal layer using proper vapor phase growth, such as the MOCVD method, in this order.

On the sub collector layer 102, it has the structure where the collector electrode 108 was formed on the base layer 104, and the emitter electrode 110 was formed on the base electrode 109 and the emitter contact layer 107, respectively.

[0005] When producing the InGaP system HBT transistor shown in drawing 6, laminate the compound semiconductor thin film layer which has the same layer system as the layer system shown in drawing 6 on a GaAs substrate, for example by an organic metal pyrolysis (MOCVD) method, and produce it first as a compound semiconductor wafer, but. It is known that the characteristic of the sub emitter layer 106 provided as a contact layer for the contact resistance reduction in the case of electrode attachment will have big influence on the current gain characteristic of HBT100.

[0006]

[Problem(s) to be Solved by the Invention] If this sub emitter layer is in the former, it is common for growing temperature to be 620 \*\* and to grow up a V/III ratio as about 30 value. However, when a sub emitter layer is formed according to this conventional growing condition, it has the problem that the current gain beta of obtained HBT becomes low. When the carrier concentration of a sub emitter layer is  $3 \times 10^{18} \text{cm}^{-3}$  and a low value, it has the problem that the value of the current gain beta will fall by improvement of the injection efficiency by the increase in the thickness. Here, a V/III ratio is an amount-of-supply ratio of five group materials and three group materials at the time of 3-5 fellows compound-semiconductor-crystals growth. Generally in metal-organic chemical vapor deposition, feeding is supplied in the state of gas from a gas bomb or a bubbler. The amount of supply of the gas from a gas bomb is controlled by flow control devices, such as a massflow controller installed in the supply line, and x (gas concentration in a cylinder) (gas mass flow) becomes an actual flow rate of a raw material. The amount of supply of the gas from a bubbler is controlled by flow control devices, such as a massflow controller installed in the carrier gas supply line passed to a bubbler, and x(carrier gas flow) (charge steam pressure of bubbler Uchihara)/(bubbler internal pressure) becomes an actual flow rate of a raw material. Generally what took the amount-of-supply ratio of five group materials and three group materials about the raw material actual flow rate supplied by these methods is called the V/III ratio. Also in this specification, the term of a V/III ratio is used as a thing according to an above-mentioned definition.

[0007] Thus, it is thought that Ga defect generated in the sub emitter layer diffuses it even in a base layer, and it serves as a recombination center although the reason a sub emitter layer affects the current gain beta is not necessarily clear.

[0008] The purpose of this invention is to provide the manufacturing method of the compound semiconductor wafer which can solve the above-mentioned problem in conventional technology, and a compound semiconductor element.

[0009] The purpose of this invention is to provide the manufacturing method of the compound semiconductor wafer for InGaP system HBT manufacture which can form a sub emitter layer as does not cause decline in current gain, and the compound semiconductor element using this.

[0010] Other purposes of this invention are to provide the manufacturing method of the compound semiconductor wafer for InGaP system HBT manufacture which can make current gain high, and the compound semiconductor element using this.

[0011]

[Means for Solving the Problem] A result to which this invention persons repeated various experiments and research in order to solve an aforementioned problem, When it is going to form a bipolar semiconductor element which forms a collector layer, a base layer, an emitter layer, and a sub emitter layer one by one on a compound semiconductor substrate with vapor phase epitaxy which used the MOCVD method, and has a hetero-junction, Find out that it can avoid reducing a value of current gain by choosing vapor-phase-epitaxy conditions for forming a sub emitter layer, and. Before forming a sub emitter layer, dehydration annealing of a base layer is given, and it finds out that a value of current gain is improvable by forming a sub emitter layer after an appropriate time, and comes to make this invention based on these knowledge.

[0012] When forming a sub emitter layer by the MOCVD method after forming an emitter layer, and manufacturing a compound semiconductor wafer for InGaP system HBT manufacture, growing temperature of 600 \*\* or less reaches, or it is made to grow up this sub emitter layer on conditions not more than V/III ratio 20 in this invention. By choosing a growing condition mentioned above, a compound semiconductor wafer can be manufactured so that manufacture of a hetero-junction bipolar semiconductor element which can control generating of Ga defect in a sub emitter layer and for which the current gain beta is not reduced as a result may be enabled.

[0013] In a case where form a sub emitter layer by the MOCVD method after forming a base layer and an emitter layer, and a compound semiconductor wafer for InGaP system HBT manufacture is manufactured in this invention, It enables it to obtain a hetero-junction bipolar semiconductor element with a large value of the current gain beta by carrying out dehydration annealing treatment of a base layer before formation of a sub emitter layer.

[0014] According to the invention of claim 1, on a compound semiconductor substrate A collector layer, a base layer, It is a method for carrying out vapor phase epitaxy of an emitter layer and the sub emitter layer using the MOCVD method in this order, and manufacturing a compound semiconductor wafer for InGaP system HBT manufacture, A manufacturing method of a compound semiconductor wafer characterized by making it a V/III ratio grow up a n type GaAs layer by a growing condition used as the range of 20-1.0 as said sub emitter layer is proposed.

[0015] According to the invention of claim 2, in an invention of claim 1, a manufacturing method of a compound semiconductor wafer into which it was made to grow up said V/III ratio as within the limits of 10-1.0 is proposed in said n type GaAs layer.

[0016] According to the invention of claim 3, on a compound semiconductor substrate A collector layer, a base layer, Are a method for carrying out vapor phase epitaxy of an emitter layer and the sub emitter layer using the MOCVD method in this order, and manufacturing a compound semiconductor wafer for InGaP system HBT manufacture, and as said sub emitter layer, A manufacturing method of a compound semiconductor wafer characterized by making it a n type GaAs layer grow up growing temperature as within the limits of 600 \*\* - 500 \*\* is proposed.

[0017] According to the invention of claim 4, in an invention of claim 3, a manufacturing method of a compound semiconductor wafer into which it was made for said n type GaAs layer to grow up said growing temperature as within the limits of 580 \*\* - 500 \*\* is proposed.

[0018] According to the invention of claim 5, in an invention of claim 3, a manufacturing method of a compound semiconductor wafer into which it was made to grow up said n type GaAs layer as within the limits of 20-1.0 is proposed in a V/III ratio.

[0019] According to the invention of claim 6, in an invention of claim 4, a manufacturing method of a compound semiconductor wafer into which it was made to grow up said n type GaAs layer as within the limits of 10-1.0 is proposed in a V/III ratio.

[0020] According to the invention of claim 7, on a compound semiconductor substrate A collector layer, a base layer, It is a method for carrying out vapor phase epitaxy of an emitter layer and the sub emitter layer using the MOCVD method in this order, and manufacturing a compound semiconductor wafer for InGaP system HBT manufacture, Before forming said sub emitter layer, a manufacturing method of a compound semiconductor wafer performing dehydration annealing treatment of said base layer is proposed.

[0021] According to the invention of claim 8, in an invention of claim 7, a manufacturing method of a compound semiconductor wafer into which it grew up to be considering growing temperature as within the limits of 600 \*\* - 500 \*\*, and was made to grow up a V/III ratio as within the limits of 20-1.0 is proposed considering said sub emitter layer as a n type GaAs layer.

[0022] According to the invention of claim 9, a compound semiconductor element manufacturing using a manufacturing method of the compound semiconductor wafer according to any one of claims 1 to 8 is proposed.

[0023] When carrying out crystal growth of the sub collector layer with vapor phase epitaxy by the MOCVD method,

by making growing temperature into a little low temperature compared with the former of 600 °C or less. And or by making a V/III ratio small, as a result of controlling generating of Ga defect, it is thought that current gain is not reduced. Here, a publicly known proper thing, for example, Si, can be used for an impurity added in order to use carrier concentration of a sub emitter layer as a necessary level, and a special impurity does not need to be used for it.

[0024]

[Embodiment of the Invention] Hereafter, with reference to drawings, it explains to details per example of an embodiment of the invention.

[0025] Drawing 1 is a layer system figure showing typically an example of the thin film crystal wafer for HBT manufactured by the method of this invention. This thin film crystal wafer is a compound semiconductor wafer used for manufacture of InGaP system HBT, and explains an example of the embodiment in the case of manufacturing the semiconductor wafer of the layer system shown in drawing 1 by the method of this invention. Therefore, it is not the meaning which limits the method of this invention only to manufacture of the compound semiconductor wafer of the structure shown in drawing 1.

[0026] The structure of the semiconductor wafer 1 shown in drawing 1 is as follows. The MOCVD method is used for the semiconductor wafer 1 on GaAs substrate 2 which is semi insulating GaAs compound semiconductor crystals, it makes two or more one semiconductor thin film crystal growth phases after another laminate, and is constituted. If the semiconductor wafer 1 is explained with reference to drawing 1, the buffer layer 3 which GaAs substrate 2 comprises a semi insulating GaAs (001) layer, and comprises i-GaAs layer on GaAs substrate 2 is formed.

[0027] The HBT stratum functionale 4 is formed on the buffer layer 3. The HBT stratum functionale 4 is formed on the buffer layer 3 at thickness predetermined [ as a semiconductor epitaxial growth crystal layer ] in the n<sup>+</sup>-GaAs layer which works as the n<sup>+</sup>-GaAs layer which works as the sub collector layer 41, and the collector layer 42 one by one. And similarly the p<sup>+</sup>-GaAs layer which works as the base layer 43 is formed as a semiconductor epitaxial growth crystal layer on the collector layer 42, and n-InGaP layer which works as the emitter layer 44 is formed on the base layer 43. And on the emitter layer 44, an n<sup>+</sup>-GaAs layer is formed as the sub emitter layer 45, and the n<sup>+</sup>-GaAs layer and the n<sup>+</sup>-InGaAs layer are formed as the emitter contact layers 46 and 47, respectively.

[0028] Next, the method for forming each class mentioned above as an epitaxial growth semiconductor thin film crystal layer by the MOCVD method is explained in detail.

[0029] The important section of the vapor-phase-epitaxy semiconductor manufacturing device 10 used for manufacturing the semiconductor wafer 1 shown in drawing 1 by the MOCVD method is roughly shown in drawing 2. The vapor-phase-epitaxy semiconductor manufacturing device 10 is provided with the reactor 12 with which the material gas from the feeding system which is not illustrated is supplied via the feeding line 11, and the susceptor 13 for carrying and heating GaAs substrate 2 is formed in the reactor 12. According to this embodiment, as for the susceptor 13, two or more GaAs substrates 2 are attached to the surface by the multiple prism, and the susceptor 13 has publicly known composition which can be rotated with the slewing mechanism 14. The coil for carrying out high-frequency induction heating of the susceptor 13 is shown by the numerals 15. GaAs substrate 2 can be heated to necessary growing temperature by sending the current for heating through the coil 15 from the power supply 16 for heating. The material gas supplied in the buffer layer 3 via the feeding line 11 by this heating can carry out a pyrolysis on GaAs substrate 2, and vapor phase epitaxy of the desired semiconductor thin film crystal can be carried out now by the MOCVD method on GaAs substrate 2. Used gas is discharged outside from the exhaust port 12A, and is sent to a flue gas treatment apparatus.

[0030] Drawing 3 is a diagram showing the growing temperature conditions at the time of the class formation in the case of manufacturing the semiconductor wafer 1 of the structure shown in drawing 1 using the vapor-phase-epitaxy semiconductor manufacturing device 10 shown in drawing 2.

[0031] Hereafter, how to form each class one by one on GaAs substrate 2 is explained, referring to drawing 3.

[0032] After carrying two or more GaAs substrates 2 on the susceptor 13 in the reactor 12, growing temperature shall be 700 °C and pretreatment which makes GaAs the buffer layer 3 and into which it is grown up about 500 nm is performed, using an arsine and trimethylgallium (TMG) as a raw material, using hydrogen as carrier gas. After an appropriate time, on the buffer layer 3, 500 nm of sub collector layers 41 are grown up as the growing temperature of 620 °C, and the V/III ratio 20 as an n<sup>+</sup>-GaAs layer, and are formed.

[0033] According to the presentation of the each thin film layer which should be formed mentioned later besides the material gas mentioned above, it has composition which can supply phosphine and trimethylindium (TMI) suitably from the material gas supplying system which is not illustrated.

[0034] Next, growing temperature is raised to 660 °C and an n<sup>+</sup>-GaAs layer is formed as the collector layer 42. After an appropriate time, growing temperature shall be 620 °C again and the base layer 43 and the emitter layer 44 are formed in predetermined thickness, respectively. And it is in the state where growing temperature was reduced at 575 °C, after ballast processing, and a V/III ratio is set to 20 and the sub emitter layer 45 is formed as an n<sup>+</sup>-GaAs layer.

[0035] Thus, growing temperature shall be 575 °C lower than 620 °C which is the conventional general growing temperature for this kind of membrane formation as a growing condition for formation of the sub emitter layer 45. If n<sup>+</sup>-GaAs is grown epitaxially on the emitter layer 44 by this growing condition, it can suppress effectively that Ga defect occurs during the growth period of this n<sup>+</sup>-GaAs layer, and the sub emitter layer 45 with few Ga defects can

be formed. Growing temperature is a field for which a growth rate depends on temperature below 500 \*\*, and since a growth rate falls rapidly, it is unreal. Therefore, it is preferred that the lower limit of growing temperature considers it as 500 \*\* in this case.

[0036] Thus, if formation of the sub emitter layer 45 is completed, predetermined time heating of GaAs substrate 2 by which each class was laminated in a predetermined annealing atmosphere by stopping supply of material gas and passing an arsine as was mentioned above will be carried out. And the semiconductor wafer 1 of the layer system shown in drawing 1 is obtained after the end of annealing treatment by growing temperature's being 490 \*\* and forming the emitter contact layers 46 and 47.

[0037] Since generating of Ga defect produced there at the time of formation of the sub emitter layer 45 can be effectively suppressed if the semiconductor wafer 1 is formed as mentioned above, HBT of an InGaP system which has the good current gain characteristic can be obtained without the value of the current gain beta falling, if InGaP system HBT of the \*\*\*\* composition shown in drawing 6 using the obtained semiconductor wafer 1 is manufactured.

[0038] According to the above-mentioned embodiment, by making growing temperature at the time of formation of the sub emitter layer 45 into a value lower than the growing temperature at the time of the sub emitter layer formation in 575 \*\* and the former, it suppresses effectively that Ga defect occurs in the sub emitter layer 45, and this suppressed decline in current gain. However, this invention is not limited to this one embodiment.

[0039] The growing temperature of the sub emitter layer 45 should just be 600 \*\* or less, and is 580 \*\* or less preferably. Thus, become difficult to generate Ga defect produced by making growing temperature low there at the time of formation of the sub emitter layer 45. Generating of the defect used as the recombination center in the base layer 43 conjectured that Ga defect produced in the sub emitter layer 45 is the cause decreases, and it is thought that it can prevent falling rather than the value which the current gain of HBT manufactured using the semiconductor wafer 1 planned.

[0040] If it replaces with reducing growing temperature here at the time of formation of the sub emitter layer 45, or it adds to this and the value of the V/III ratio at the time of formation of the sub emitter layer 45 is made or less into 20, Similarly, generating of Ga defect in the sub emitter layer 45 can be suppressed remarkably, and the same effect as the case where growing temperature is made low is acquired. That is, an effect equivalent to the case where growing temperature is 600 \*\* or less is acquired by performing the growth on the conditions not more than V/III ratio 20 at the time of formation of the sub emitter layer 45. At the time of formation of the sub emitter layer 45, in a V/III ratio, of course, it is good also as 20 or less, and an in this case more much more good effect is acquired at the same time growing temperature shall be 600 \*\* or less.

[0041] Drawing 4 is a diagram showing another growing temperature conditions for describing other embodiments of this invention. At the embodiment according to the diagram shown in drawing 4, it differs from the case of the embodiment shown in drawing 3 greatly in that annealing treatment is performed before formation of the sub emitter layer 45, and is the same as that of the case of the embodiment described with reference to drawing 3 about other processes.

[0042] Therefore, only the process of this different portion is explained with reference to drawing 4. If the emitter layer 44 is formed and ballast processing is performed, annealing treatment will be performed in advance of formation of the sub emitter layer 45. This annealing treatment is the dehydration annealing treatment for making hydrogen secede from the base layer 43, is 675 \*\* in temperature under the atmosphere of hydrogen, and performs annealing treatment for 5 minutes.

[0043] Thus, after performing dehydration annealing of the base layer 43, growing temperature shall be 575 \*\* and the sub emitter layer 45 is formed. The formation method of the sub emitter layer 45 here is completely the same as that of the sub emitter layer 45 which was explained with reference to drawing 3. If the sub emitter layer 45 is formed, the emitter contact layers 46 and 47 will be formed.

[0044] Thus, if dehydration annealing is given to the base layer 43 before formation of the sub emitter layer 45, Ga defect of the base layer 43 can be reduced, but by dehydration annealing after forming the sub emitter layer 45, it is thought that Ga defect will arise again in the base layer 43.

[0045] Since the growing temperature at that time is a temperature of 600 \*\* or less lower enough than annealing temperature, it cannot make the base layer 43 easily produce Ga defect in the method of following drawing 4, even if it forms the sub emitter layer 45 after the dehydration annealing treatment to the base layer 43.

[0046] Current gain will be sharply improved by annealing treatment by the above reason, and HBT with a big value of current gain can be manufactured.

[0047]

[Example] (Example 1) The compound semiconductor wafer of the layer system shown in drawing 1 was manufactured according to the diagram shown in drawing 3. The growing condition of the sub emitter layer 45 at this time was 575 \*\* in growing temperature, as shown in drawing 3, it set the V/III ratio to 10, and made that thickness 500 Å. Thus, it was 115, when HBT of the structure shown in drawing 6 using the manufactured compound semiconductor wafer was manufactured and current gain was measured. Although thickness was 2000 Å on the same conditions, most decline in current gain was not seen, but was the 115 [ same ] as the case of the point.

[0048] (Comparative example) In order to compare with Example 1, growing temperature was 620 \*\* the growing condition of the sub emitter layer 45, the V/III ratio was set to 30, and it was made to grow up to be 500-Å thickness. It was 105 when current gain was measured like the case of Example 1 about this. The carrier concentration of the sub emitter layer 45 at this time was  $3 \times 10^{18} \text{ cm}^{-3}$ . Although another sample which made

thickness 2000 Å on the same conditions was manufactured, by thickening thickness, current gain was set to 80 and fell about 15% compared with the case where thickness is 500 Å.

[0049] Each measurement result of Example 1 and a comparative example takes thickness along a horizontal axis, takes current gain along a vertical axis, and is shown in drawing 5. It is not influenced by the thickness of the sub emitter layer 45, but drawing 5 shows that decline in current gain is suppressed good, when based on this invention.

[0050] (Example 2) The compound semiconductor wafer of the layer system shown in drawing 1 was manufactured according to the diagram shown in drawing 4. The growing condition of the sub emitter layer 45 at this time was 575 °C as growing temperature showed drawing 4, it set the V/III ratio to 10, and made that thickness 2000 Å. Thus, it was 130, when HBT of the structure shown in drawing 6 using the manufactured compound semiconductor wafer was manufactured and current gain was measured.

[0051] In the case of Example 2, current gain is considered that 130 and the reason which increased are as follows. If dehydration annealing of the base layer 43 is carried out after sub emitter layer 45 growth, substrate temperature will be about 660 °C, and even if it rationalizes the growing condition of the sub emitter layer 45 and controls generating of Ga defect, Ga defect will generate it again in subsequent dehydration annealing. However, if dehydration annealing of the base layer 43 is carried out before sub emitter layer 45 growth, Ga defect will not be generated by combining with the low-temperature growing condition of the sub emitter layer 45. If dehydration annealing of the base layer 43 is carried out before growth of the sub emitter layer 45 and the sub emitter layer 45 is grown up with the high growing temperature of not less than 600 °C, since hydrogen will be again incorporated during growth of the sub emitter layer 45 to the base layer 43, the current gain beta will improve, but. The drift of collector current will become large.

[0052]

[Effect of the Invention] Like \*\*\*, only by controlling a growing condition, generating of Ga defect of a sub emitter layer can be suppressed, and, thereby, decline in the current gain of HBT can be effectively suppressed in this invention.

Therefore, manufacture of the compound semiconductor wafer which was excellent in the electrical property by low cost is attained, and a highly efficient semiconductor device can be provided by low cost.

[0053] Only by making it \*\* which performs annealing treatment to a base layer before formation of a sub emitter layer, since increase of the current gain of HBT can be aimed at, manufacture of the compound semiconductor wafer which was excellent in the electrical property by low cost is attained, and a highly efficient semiconductor device can be provided by low cost.

---

[Translation done.]

\* NOTICES \*

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## DESCRIPTION OF DRAWINGS

---

### [Brief Description of the Drawings]

[Drawing 1] The layer system figure showing typically an example of the thin film crystal wafer for HBT manufactured by the method of this invention.

[Drawing 2] The figure showing roughly the important section of the vapor-phase-epitaxy semiconductor manufacturing device used for manufacturing the semiconductor wafer shown in drawing 1 by the MOCVD method.

[Drawing 3] The diagram showing the growing temperature conditions at the time of the class formation in the case of manufacturing the semiconductor wafer of the structure shown in drawing 1 using the vapor-phase-epitaxy semiconductor manufacturing device shown in drawing 2.

[Drawing 4] The diagram showing another growing temperature conditions at the time of the class formation in the case of manufacturing the semiconductor wafer of the structure shown in drawing 1 using the vapor-phase-epitaxy semiconductor manufacturing device shown in drawing 2.

[Drawing 5] The graph which takes thickness along a horizontal axis for each measurement result of Example 1 and a comparative example, takes current gain along a vertical axis, and is shown.

[Drawing 6] The figure showing the structure of InGaP system HBT typically.

### [Description of Notations]

- 1 Semiconductor wafer
- 2 GaAs substrate
- 3 Buffer layer
- 4 HBT stratum functionale
- 10 Vapor-phase-epitaxy semiconductor manufacturing device
- 11 Feeding line
- 12 Reactor
- 12A Exhaust port
- 13 Susceptor
- 15 Coil
- 41 Sub collector layer
- 42 Collector layer
- 43 Base layer
- 44 Emitter layer
- 45 Sub emitter layer
- 46, 47 emitter contact layers

---

[Translation done.]



(11)特許出願公開番号

特開2003-318185  
(P2003-318185A)

(43)公開日 平成15年11月7日(2003.11.7)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード*(参考)
H 0 1 L 21/331		H 0 1 L 21/205	5 F 0 0 3
21/205		29/205	5 F 0 4 5
29/205		29/72	H
29/737			

審査請求 未請求 請求項の数9 OL (全 8 頁)

(21)出願番号	特願2002-118443(P2002-118443)	(71)出願人	000002093 住友化学工業株式会社 大阪府大阪市中央区北浜4丁目5番33号
(22)出願日	平成14年4月19日(2002.4.19)	(72)発明者	山田 永 千葉県市原市姉崎海岸5番1号 住友化学 工業株式会社内
		(72)発明者	福原 昇 千葉県市原市姉崎海岸5番1号 住友化学 工業株式会社内
		(74)代理人	100077540 弁理士 高野 昌俊

最終頁に続く

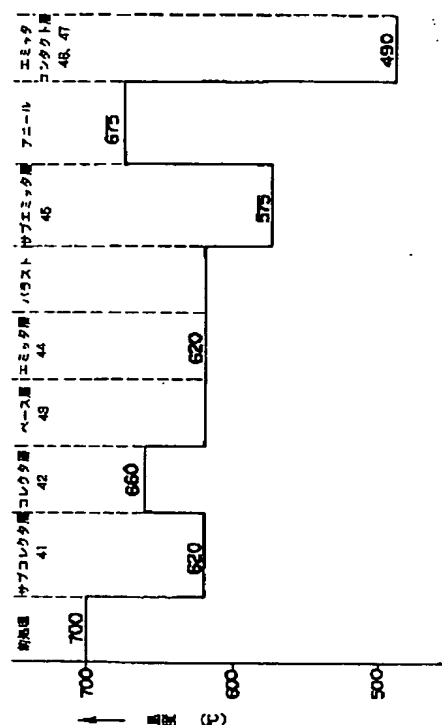
**最終頁に続く**

(54) 【発明の名称】 化合物半導体ウェーハの製造方法及び化合物半導体素子

(57) 【要約】

【課題】 電流増幅率特性の改善された InGaP 系 HBT を製造するための化合物半導体ウェーハの製造方法及び化合物半導体素子を提供すること。

【解決手段】 MOCVD法によりエミッタ層44を形成後にサブエミッタ層45を形成してInGaP系HBT製造用の半導体ウェーハ1を製造する場合、サブエミッタ層45を成長温度600℃以下及び又はV/I II比20以下の条件で成長させる。これによりサブエミッタ層45におけるGa欠陥の発生を制御することができ、この結果、電流増幅率 $\beta$ を低下させることのないヘテロ接合バイポーラ半導体素子の製作を可能とするように半導体ウェーハ1を製造することができる。また、サブエミッタ層45の形成前にベース層43の脱水素アニール処理を実施することにより、電流増幅率 $\beta$ の値が大きいヘテロ接合バイポーラ半導体素子を得ることができるようにした。



## 【特許請求の範囲】

【請求項 1】 化合物半導体基板上にコレクタ層、ベース層、エミッタ層及びサブエミッタ層をこの順序で MOCVD 法を用いて気相成長させて InGaP 系 HBT 製造用の化合物半導体ウェーハを製造するための方法であって、

前記サブエミッタ層として n 型 GaAs 層を V/I II 比が 20~1.0 の範囲となる成長条件で成長させるようにしたことを特徴とする化合物半導体ウェーハの製造方法。

【請求項 2】 前記 n 型 GaAs 層を前記 V/I II 比を 10~1.0 の範囲内として成長させるようにした請求項 1 記載の化合物半導体ウェーハの製造方法。

【請求項 3】 化合物半導体基板上にコレクタ層、ベース層、エミッタ層及びサブエミッタ層をこの順序で MOCVD 法を用いて気相成長させて InGaP 系 HBT 製造用の化合物半導体ウェーハを製造するための方法であって、

前記サブエミッタ層として、n 型 GaAs 層を成長温度を 600℃~500℃の範囲内として成長させるようにしたことを特徴とする化合物半導体ウェーハの製造方法。

【請求項 4】 前記 n 型 GaAs 層を前記成長温度を 580℃~500℃の範囲内として成長させるようにした請求項 3 記載の化合物半導体ウェーハの製造方法。

【請求項 5】 V/I II 比を 20~1.0 の範囲内として前記 n 型 GaAs 層を成長させるようにした請求項 3 記載の化合物半導体ウェーハの製造方法。

【請求項 6】 V/I II 比を 10~1.0 の範囲内として前記 n 型 GaAs 層を成長させるようにした請求項 4 記載の化合物半導体ウェーハの製造方法。

【請求項 7】 化合物半導体基板上にコレクタ層、ベース層、エミッタ層及びサブエミッタ層をこの順序で MOCVD 法を用いて気相成長させて InGaP 系 HBT 製造用の化合物半導体ウェーハを製造するための方法であって、

前記サブエミッタ層を形成する前に、前記ベース層の脱水素アニール処理を行うようにしたことを特徴とする化合物半導体ウェーハの製造方法。

【請求項 8】 前記サブエミッタ層を、n 型 GaAs 層として、成長温度を 600℃~500℃の範囲内として且つ V/I II 比を 20~1.0 の範囲内として成長させるようにした請求項 7 記載の化合物半導体ウェーハの製造方法。

【請求項 9】 請求項 1~8 のいずれかに記載の化合物半導体ウェーハの製造方法を用いて製作されたことを特徴とする化合物半導体素子。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、マイクロ波帯以上

の周波数領域で作動する高速通信用の半導体素子のための化合物半導体ウェーハの製造方法及びこれを用いて製作された化合物半導体素子に関するものである。

## 【0002】

【従来の技術】 ヘテロ接合バイポーラトランジスタ (HBT) は、エミッタ注入効率を高めるため、エミッタ層にベース層よりもバンドギャップの大きい物質を用いてエミッターベース接合をヘテロ接合としたバイポーラトランジスタであり、マイクロ波帯以上の周波数領域で使用する半導体素子として好適なため、次世代携帯電話用の半導体素子として期待されている。

【0003】 HBT の構造は、例えば InGaP 系 HBT の場合、一般的には半絶縁性 GaAs 基板上に有機金属熱分解法 (MOCVD 法) を用いて、 $n^+$ -GaAs 層 (サブコレクタ層)、n-GaAs 層 (コレクタ層)、p-GaAs 層 (ベース層)、n-InGaP 層 (エミッタ層)、n-GaAs 層 (サブエミッタ層) を次々に結晶成長させることにより、エミッターベース接合である pn 接合がヘテロ接合の構造となっている上述した層構造の薄膜結晶ウェーハを形成し、これを用いて HBT が製造されている。

【0004】 図 6 は、InGaP 系 HBT の一般的な構造を模式的に示す図である。HBT 100 は、半絶縁性の GaAs 基板 101 上に  $n^+$ -GaAs 層から成るサブコレクタ層 102、n-GaAs 層から成るコレクタ層 103、p-GaAs 層から成るベース層 104、n-InGaP 層から成るエミッタ層 105 及び  $n^+$ -GaAs 層から成るサブエミッタ層 106、 $n^+$ -InGaAs 層から成るエミッタコンタクト層 107 がこの順序で MOCVD 法等の適宜の気相成長法を用いて半導体薄膜結晶層として形成されており、サブコレクタ層 102 上にはコレクタ電極 108 が、ベース層 104 上にはベース電極 109 が、そしてエミッタコンタクト層 107 上にはエミッタ電極 110 がそれぞれ形成された構造となっている。

【0005】 図 6 に示した InGaP 系 HBT トランジスタを作製する場合、GaAs 基板上に図 6 に示した層構造と同一の層構造を有する化合物半導体薄膜層を、例えば有機金属熱分解 (MOCVD) 法により積層して化合物半導体ウェーハとして先ず作製するのであるが、電極取付の際の接触抵抗低減のためのコンタクト層として設けられるサブエミッタ層 106 の特性が、HBT 100 の電流増幅率特性に大きな影響を与えることが知られている。

## 【0006】

【発明が解決しようとする課題】 このサブエミッタ層は、従来にあつては、成長温度を 620℃とし、V/I II 比を 30 程度の値として成長させるのが一般的である。しかし、この従来の成長条件によってサブエミッタ層を形成した場合、得られた HBT の電流増幅率  $\beta$  が低

くなるという問題点を有している。また、サブエミッタ層のキャリア濃度が $3 \times 10^{18} \text{ cm}^{-3}$ と低い値の場合にはその膜厚の増加による注入効率の改善で電流増幅率 $\beta$ の値が低下してしまうという問題点を有している。ここで、 $V/III$ 比とは3-5族化合物半導体結晶成長時における5族原料と3族原料の供給量比である。一般に有機金属気相成長法においては、原料供給はガスボンベやバブラーからガスの状態で供給される。ガスボンベからのガスの供給量は供給ラインに設置されたマスフローコントローラーなどの流量制御装置によって制御され、(ボンベ内のガス濃度)  $\times$  (ガス流量) が原料の実流量となる。バブラーからのガスの供給量はバブラーに流すキャリアガス供給ラインに設置されたマスフローコントローラーなどの流量制御装置によって制御され、(キャリアガス流量)  $\times$  (バブラー内原料蒸気圧) / (バブラー内圧) が原料の実流量となる。これらの方式によって供給された原料実流量について5族原料と3族原料の供給量比をとったものを一般に $V/III$ 比と称している。本明細書においても $V/III$ 比という用語を上述の定義に従うものとして使用している。

【0007】このように、サブエミッタ層が電流増幅率 $\beta$ に影響を与える理由は、必ずしも明確ではないが、サブエミッタ層で発生したGa欠陥がベース層にまで拡散して再結合中心となると考えられている。

【0008】本発明の目的は、従来技術における上述の問題点を解決することができる化合物半導体ウェーハの製造方法、及び化合物半導体素子を提供することにある。

【0009】本発明の目的は、電流増幅率の低下を招くことがないようにしてサブエミッタ層を形成することができるInGaP系HBT製造用の化合物半導体ウェーハの製造方法、及びこれを用いた化合物半導体素子を提供することにある。

【0010】本発明の他の目的は、電流増幅率を高くすることができるInGaP系HBT製造用の化合物半導体ウェーハの製造方法、及びこれを用いた化合物半導体素子を提供することにある。

【0011】

【課題を解決するための手段】上記課題を解決するため、本発明者等は種々の実験、研究を積み重ねた結果、化合物半導体基板上にコレクタ層、ベース層、エミッタ層及びサブエミッタ層をMOCVD法を用いた気相成長により順次成膜してヘテロ接合を有するバイポーラ半導体素子を形成しようとする場合、サブエミッタ層を形成するための気相成長条件を選ぶことにより、電流増幅率の値を低下させないようにできることを見い出すと共に、サブエミッタ層を形成する前にベース層の脱水素アニールを施し、しかる後サブエミッタ層を形成することにより電流増幅率の値を改善できることを見い出し、これらの知見に基づいて本発明をなすに至ったものであ

る。

【0012】本発明では、MOCVD法によりエミッタ層を形成後にサブエミッタ層を形成してInGaP系HBT製造用の化合物半導体ウェーハを製造する場合、該サブエミッタ層を、成長温度600℃以下及び又は $V/III$ 比20以下の条件で成長させるようにしたものである。上述した成長条件を選ぶことによりサブエミッタ層におけるGa欠陥の発生を制御することができ、この結果、電流増幅率 $\beta$ を低下させることのないヘテロ接合バイポーラ半導体素子の製作を可能とするように化合物半導体ウェーハを製造することができる。

【0013】また、本発明では、MOCVD法によりベース層及びエミッタ層を形成後にサブエミッタ層を形成してInGaP系HBT製造用の化合物半導体ウェーハを製造する場合において、サブエミッタ層の形成前にベース層の脱水素アニール処理を実施することにより、電流増幅率 $\beta$ の値が大きいヘテロ接合バイポーラ半導体素子を得ることができるようにしたものである。

【0014】請求項1の発明によれば、化合物半導体基板上にコレクタ層、ベース層、エミッタ層及びサブエミッタ層をこの順序でMOCVD法を用いて気相成長させてInGaP系HBT製造用の化合物半導体ウェーハを製造するための方法であって、前記サブエミッタ層としてn型GaAs層を $V/III$ 比が20~1.0の範囲となる成長条件で成長させるようにしたことを特徴とする化合物半導体ウェーハの製造方法が提案される。

【0015】請求項2の発明によれば、請求項1の発明において、前記n型GaAs層を前記 $V/III$ 比を10~1.0の範囲内として成長させるようにした化合物半導体ウェーハの製造方法が提案される。

【0016】請求項3の発明によれば、化合物半導体基板上にコレクタ層、ベース層、エミッタ層及びサブエミッタ層をこの順序でMOCVD法を用いて気相成長させてInGaP系HBT製造用の化合物半導体ウェーハを製造するための方法であって、前記サブエミッタ層として、n型GaAs層を成長温度を600℃~500℃の範囲内として成長させるようにしたことを特徴とする化合物半導体ウェーハの製造方法が提案される。

【0017】請求項4の発明によれば、請求項3の発明において、前記n型GaAs層を前記成長温度を580℃~500℃の範囲内として成長させるようにした化合物半導体ウェーハの製造方法が提案される。

【0018】請求項5の発明によれば、請求項3の発明において、 $V/III$ 比を20~1.0の範囲内として前記n型GaAs層を成長させるようにした化合物半導体ウェーハの製造方法が提案される。

【0019】請求項6の発明によれば、請求項4の発明において、 $V/III$ 比を10~1.0の範囲内として前記n型GaAs層を成長させるようにした化合物半導体ウェーハの製造方法が提案される。

【0020】請求項7の発明によれば、化合物半導体基板上にコレクタ層、ベース層、エミッタ層及びサブエミッタ層をこの順序でMOCVD法を用いて気相成長させてInGaP系HBT製造用の化合物半導体ウェーハを製造するための方法であって、前記サブエミッタ層を形成する前に、前記ベース層の脱水素アニール処理を行うようにしたことを特徴とする化合物半導体ウェーハの製造方法が提案される。

【0021】請求項8の発明によれば、請求項7の発明において、前記サブエミッタ層を、n型GaAs層として、成長温度を600℃～500℃の範囲内として且つV/III比を20～1.0の範囲内として成長させるようにした化合物半導体ウェーハの製造方法が提案される。

【0022】請求項9の発明によれば、請求項1～8のいずれかに記載の化合物半導体ウェーハの製造方法を用いて製作されたことを特徴とする化合物半導体素子が提案される。

【0023】サブコレクタ層をMOCVD法による気相成長で結晶成長させる場合、成長温度を600℃以下という従来に比べて若干低い温度にすることで、及び又はV/III比を小さくすることで、Ga欠陥の発生が抑制される結果、電流増幅率を低下させることがないものと考えられる。ここで、サブエミッタ層のキャリア濃度を所要のレベルとするために添加する不純物は、公知の適宜のもの、例えば、Siを用いることができ、特別な不純物を用いる必要はない。

#### 【0024】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態の一例につき詳細に説明する。

【0025】図1は、本発明の方法によって製造されたHBT用薄膜結晶ウェーハの一例を模式的に示す層構造図である。この薄膜結晶ウェーハはInGaP系HBTの製造に用いる化合物半導体ウェーハであり、図1に示した層構造の半導体ウェーハを本発明の方法により製造する場合の実施の形態の一例について説明する。したがって、本発明の方法を図1に示した構造の化合物半導体ウェーハの製造にのみ限定する趣旨ではない。

【0026】図1に示した半導体ウェーハ1の構造は次の通りである。半導体ウェーハ1は、半絶縁性のGaAs化合物半導体結晶であるGaAs基板2上にMOCVD法を用いて複数の半導体薄膜結晶成長層を次々と積層させて構成されたものである。図1を参照して半導体ウェーハ1について説明すると、GaAs基板2は半絶縁性GaAs(001)層から成り、GaAs基板2上にi-GaAs層から成るバッファ層3が形成されている。

【0027】バッファ層3の上にはHBT機能層4が形成されている。HBT機能層4は、バッファ層3の上に、サブコレクタ層41として働くn-GaAs層及

びコレクタ層42として働くn-GaAs層が、順次半導体エピタキシャル成長結晶層として所定の厚さに形成されている。そして、コレクタ層42の上にベース層43として働くp-GaAs層が同じく半導体エピタキシャル成長結晶層として形成されており、ベース層43の上にはエミッタ層44として働くn-InGaP層が形成されている。そしてエミッタ層44の上にはn-GaAs層がサブエミッタ層45として、n-GaAs層及びn-InGaAs層がそれぞれエミッタコンタクト層46、47として形成されている。

【0028】次に、上述した各層をMOCVD法によるエピタキシャル成長半導体薄膜結晶層として形成するための方法について詳しく説明する。

【0029】図2には、図1に示した半導体ウェーハ1をMOCVD法により製造するのに使用される気相成長半導体製造装置10の要部が概略的に示されている。気相成長半導体製造装置10は、図示しない原料供給系統からの原料ガスが原料供給ライン11を介して供給される反応器12を備え、反応器12内にはGaAs基板2を載せて加熱するためのサセプタ13が設けられている。本実施の形態では、サセプタ13は多角柱体でその表面にはGaAs基板2が複数枚取り付けられており、サセプタ13は回転装置14によって回転できる公知の構成となっている。符号15で示されるのはサセプタ13を高周波誘導加熱するためのコイルである。コイル15に加熱用電源16から加熱用の電流を流すことによりGaAs基板2を所要の成長温度に加熱することができる。この加熱により、原料供給ライン11を介してバッファ層3内に供給される原料ガスがGaAs基板2上で熱分解し、GaAs基板2上に所望の半導体薄膜結晶をMOCVD法により気相成長させることができるようになる。使用済みのガスは排気ポート12Aより外部に排出され、排ガス処理装置へ送られる。

【0030】図3は、図2に示した気相成長半導体製造装置10を用いて図1に示す構造の半導体ウェーハ1を製造する場合の各層形成時の成長温度条件を示す線図である。

【0031】以下、図3を参照しながらGaAs基板2上に各層を順次形成する方法について説明する。

【0032】反応器12内のサセプタ13上にGaAs基板2を複数枚載せた後、成長温度を700℃とし、キャリアガスとして水素を用い、原料としてアルシン、トリメチルガリウム(TMG)を用い、GaAsをバッファ層3として約500nm成長させる前処理を行う。しかる後、サブコレクタ層41をバッファ層3上にn-GaAs層として成長温度620℃、V/III比20として500nm成長させて形成する。

【0033】なお、上述した原料ガスのほか、後述する各形成すべき薄膜層の組成に応じて、図示しない原料ガス供給系統より、ホスフィン、トリメチルインジウム

(TMI)を適宜供給できる構成となっている。

【0034】次に、成長温度を660℃に上げ、 $n^+$ -GaAs層をコレクタ層42として形成する。しかる後、再び成長温度を620℃とし、ベース層43及びエミッタ層44をそれぞれ所定の厚さに形成する。そしてバラスト処理後、成長温度を575℃に低下させた状態で、且つ $V/III$ 比を20としてサブエミッタ層45を $n^+$ -GaAs層として形成する。

【0035】このように、サブエミッタ層45の形成のための成長条件として、成長温度をこの種の成膜のための従来の一般的な成長温度である620℃よりも低い575℃とし、この成長条件でエミッタ層44上に $n^+$ -GaAsをエピタキシャル成長させると、この $n^+$ -GaAs層の成長期間中にGa欠陥が発生するのを有効に抑えることができ、Ga欠陥の少ないサブエミッタ層45を形成することができる。成長温度が500℃以下では、成長速度が温度に依存する領域であり、成長速度が急激に低下するため、非現実的である。したがって、この場合、成長温度の下限値は500℃とすることが好ましい。

【0036】このようにしてサブエミッタ層45の形成が終了したならば、原料ガスの供給を止めてアルシンを流すなどして所定のアニール雰囲気中で、上述したようにして各層が積層されたGaAs基板2を所定時間加熱する。そして、アニール処理の終了後、成長温度を490℃としてエミッタコンタクト層46、47を形成することにより、図1に示す層構造の半導体ウェーハ1が得られる。

【0037】以上のようにして半導体ウェーハ1を形成すると、サブエミッタ層45の形成時にそこに生じるGa欠陥の発生を有効に抑えることができるため、得られた半導体ウェーハ1を用いて図6に示す如き構成のInGaP系HBTを製作すると、その電流増幅率 $\beta$ の値が低下することなく、良好な電流増幅率特性を有するInGaP系のHBTを得ることができる。

【0038】上記実施の形態では、サブエミッタ層45の形成時における成長温度を575℃と従来におけるサブエミッタ層形成時の成長温度よりも低い値にすることによりサブエミッタ層45にGa欠陥が発生するのを有効に抑え、これにより電流増幅率の低下を抑えるようにした。しかし、本発明はこの一実施形態に限定されるものではない。

【0039】サブエミッタ層45の成長温度は600℃以下であればよく、好ましくは580℃以下である。このように、成長温度を低くすることによりサブエミッタ層45の形成時においてそこに生じるGa欠陥が発生しにくくなり、サブエミッタ層45に生じたGa欠陥が原因であろうと推測されるベース層43における再結合中心となる欠陥の発生が減少し、半導体ウェーハ1を用いて製作されたHBTの電流増幅率が予定した値よりも低

下するのを防止できると考えられる。

【0040】なお、ここで、サブエミッタ層45の形成時に、成長温度を低下させるのに代えて、あるいはこれに加えて、サブエミッタ層45の形成時における $V/III$ 比の値を20以下とすれば、同様にして、サブエミッタ層45におけるGa欠陥の発生を著しく抑えることができ、成長温度を低くした場合と同様の効果が得られる。すなわち、サブエミッタ層45の形成時に、 $V/III$ 比20以下の条件でその成長を行うことにより、成長温度を600℃以下にした場合と同等の効果が得られるのである。サブエミッタ層45の形成時に、成長温度を600℃以下とすると同時に $V/III$ 比を20以下としてもよいことは勿論であり、この場合にはより一層良好な効果が得られる。

【0041】図4は、本発明の他の実施の形態を説明するための別の成長温度条件を示す線図である。図4に示した線図に従う実施の形態では、アニール処理をサブエミッタ層45の形成前に行う点で図3に示した実施の形態の場合と大きく異なっており、他の工程については図3を参照して説明した実施の形態の場合と同様である。

【0042】したがって、この相違する部分の工程についてのみ図4を参照して説明を行う。エミッタ層44を形成してバラスト処理を行ったならば、サブエミッタ層45の形成に先立ってアニール処理を実行する。このアニール処理はベース層43から水素を離脱させるための脱水素アニール処理であり、水素という雰囲気の下、675℃の温度で、5分間のアニール処理を行う。

【0043】このようにしてベース層43の脱水素アニールを行った後、成長温度を575℃としてサブエミッタ層45を形成する。ここでのサブエミッタ層45の形成方法は、図3を参照して説明したサブエミッタ層45の形成方法と全く同じである。サブエミッタ層45を形成したならば、エミッタコンタクト層46、47の形成を行う。

【0044】このように、サブエミッタ層45の形成前にベース層43に対して脱水素アニールを施すと、ベース層43のGa欠陥を低減させることができるが、サブエミッタ層45を形成してからの脱水素アニールではベース層43において再度Ga欠陥が生じてしまうと考えられる。

【0045】なお、図4に従う方法では、ベース層43に対する脱水素アニール処理後にサブエミッタ層45を形成してもそのときの成長温度はアニール温度よりも十分に低い600℃以下の温度であるから、ベース層43にGa欠陥を生じさせにくい。

【0046】以上の理由により、アニール処理によって電流増幅率は大巾に改善され、電流増幅率の値が大きなHBTを製作できることになる。

【0047】

【実施例】(実施例1) 図1に示す層構造の化合物半導

体ウェーハを図3に示す線図に従って製作した。このときのサブエミッタ層45の成長条件は、成長温度を図3に示したように575℃とし、 $V/I_{II}$ 比を10としてその膜厚を500Åとした。このようにして製作された化合物半導体ウェーハを用いて図6に示す構造のHBTを製作して電流増幅率を測定したところ115であった。また、同一条件で膜厚を2000Åとしたが、電流増幅率の低下は殆ど見られず、先の場合と同じ115であった。

【0048】(比較例) 実施例1と比較するため、サブエミッタ層45の成長条件を、成長温度を620℃とし、 $V/I_{II}$ 比を30とし、500Åの膜厚に成長させた。これについて実施例1の場合と同様にして電流増幅率を測定したところ105であった。このときのサブエミッタ層45のキャリア濃度は $3 \times 10^{18} \text{ cm}^{-3}$ であった。同一条件で膜厚を2000Åとした別の試料を製作したが、膜厚を厚くすることにより電流増幅率は80となり、膜厚が500Åの場合に比べて約15%低下した。

【0049】図5には、実施例1と比較例との各測定結果が、横軸を膜厚にとり、縦軸に電流増幅率をとって示されている。図5から、本発明による場合には、サブエミッタ層45の膜厚に影響されず、電流増幅率の低下が良好に抑えられることが判る。

【0050】(実施例2) 図1に示す層構造の化合物半導体ウェーハを図4に示す線図に従って製作した。このときのサブエミッタ層45の成長条件は、成長温度を図4に示したように575℃とし、 $V/I_{II}$ 比を10としてその膜厚を2000Åとした。このようにして製作された化合物半導体ウェーハを用いて図6に示す構造のHBTを製作して電流増幅率を測定したところ130であった。

【0051】実施例2の場合に電流増幅率が130と増大した理由は次の通りであると考えられる。サブエミッタ層45成長後にベース層43の脱水素アニールを実施すると、基板温度は660℃程度となり、サブエミッタ層45の成長条件を適正化してGa欠陥の発生を抑制しても、その後の脱水素アニールで再度Ga欠陥が発生してしまう。しかし、サブエミッタ層45成長前にベース層43の脱水素アニールを実施してしまうと、サブエミッタ層45の低温成長条件と組み合わせることでGa欠陥は発生しない。サブエミッタ層45の成長前にベース層43の脱水素アニールを実施し、サブエミッタ層45を600℃以上の高い成長温度で成長すると、サブエミッタ層45の成長中に再度ベース層43へ水素が取り込まれてしまうため、電流増幅率 $\beta$ は向上するが、コレク

タ電流のドリフトが大きくなってしまう。

【0052】

【発明の効果】本発明によれば、上述の如く、成長条件を制御するだけで、サブエミッタ層のGa欠陥の発生を抑え、これによりHBTの電流増幅率の低下を有効に抑えることができるので、低コストにて電気的特性に優れた化合物半導体ウェーハの製造が可能になると共に、低コストで高性能の半導体素子を提供できる。

【0053】また、サブエミッタ層の形成前にベース層に対するアニール処理を行うようにするだけで、HBTの電流増幅率の増大を図ることができるので、低コストにて電気的特性に優れた化合物半導体ウェーハの製造が可能になると共に、低コストで高性能の半導体素子を提供できる。

【図面の簡単な説明】

【図1】本発明の方法によって製造されたHBT用薄膜結晶ウェーハの一例を模式的に示す層構造図。

【図2】図1に示した半導体ウェーハをMOCVD法により製造するのに使用される気相成長半導体製造装置の要部を概略的に示す図。

【図3】図2に示した気相成長半導体製造装置を用いて図1に示す構造の半導体ウェーハを製造する場合の各層形成時の成長温度条件を示す線図。

【図4】図2に示した気相成長半導体製造装置を用いて図1に示す構造の半導体ウェーハを製造する場合の各層形成時の別の成長温度条件を示す線図。

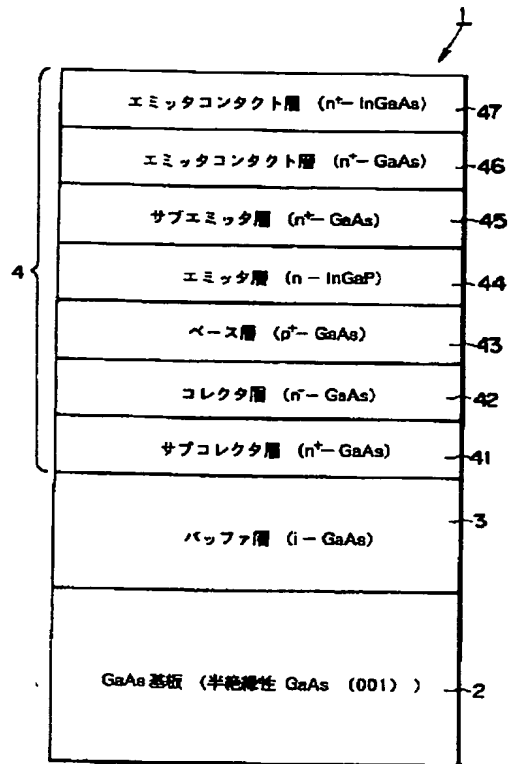
【図5】実施例1と比較例との各測定結果を横軸を膜厚にとり縦軸に電流増幅率をとって示すグラフ。

【図6】InGaP系HBTの構造を模式的に示す図。

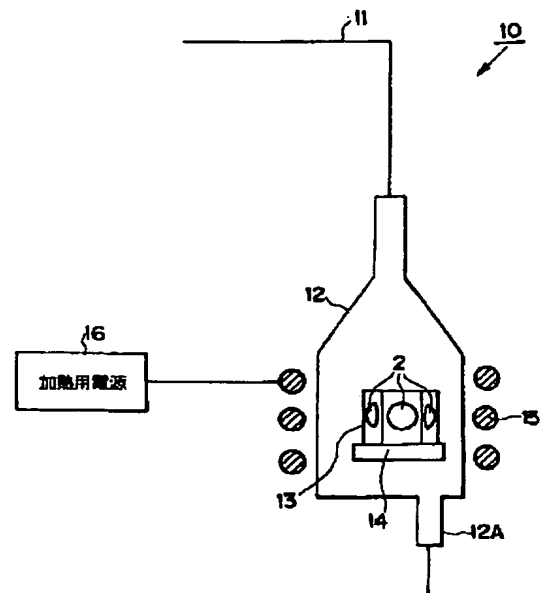
【符号の説明】

- 1 半導体ウェーハ
- 2 GaAs基板
- 3 バッファ層
- 4 HBT機能層
- 10 気相成長半導体製造装置
- 11 原料供給ライン
- 12 反応器
- 12A 排気ポート
- 13 サセプタ
- 15 コイル
- 41 サブコレクタ層
- 42 コレクタ層
- 43 ベース層
- 44 エミッタ層
- 45 サブエミッタ層
- 46、47 エミッタコンタクト層

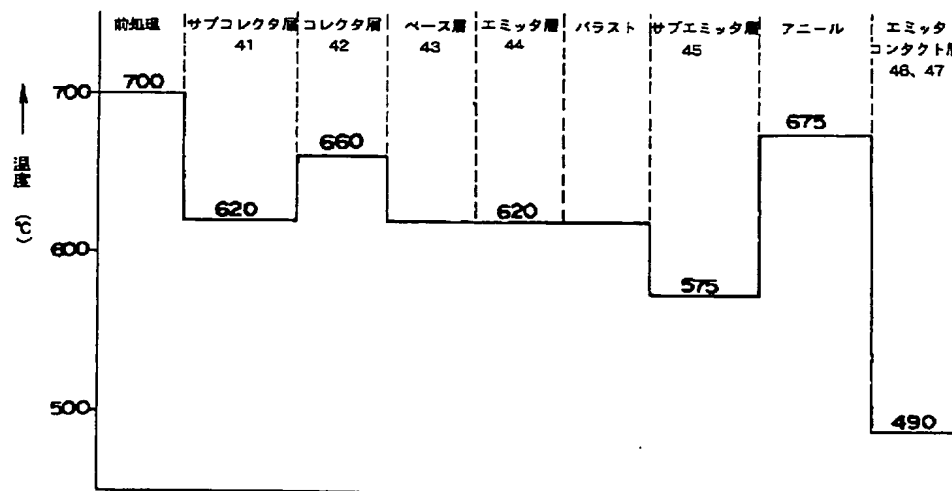
【図1】



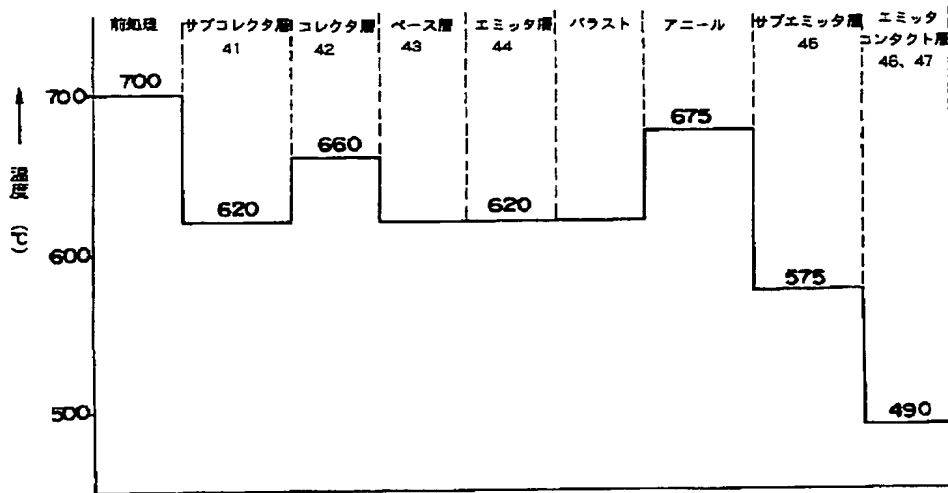
【図2】



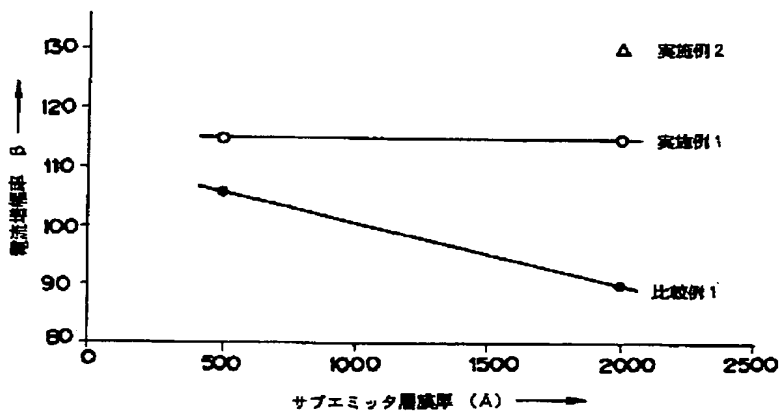
【図3】



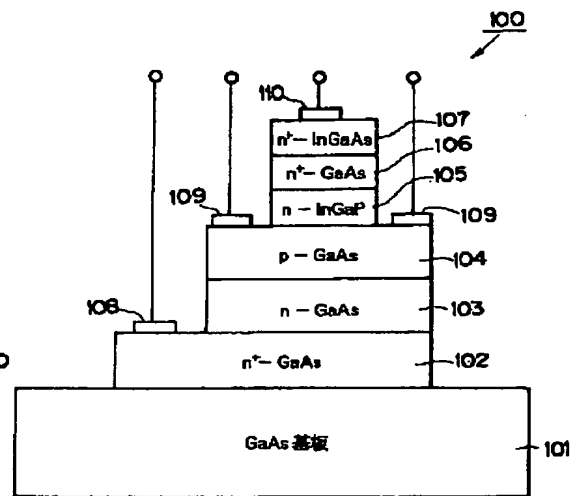
【図4】



【図5】



【図6】



フロントページの続き

(72)発明者 高田 朋幸  
茨城県つくば市北原6番 住友化学工業株式会社内

Fターム(参考) 5F003 AZ01 BA92 BB04 BE04 BE90  
BF06 BM03 BP32 BP42  
5F045 AA04 AB10 AB17 AC08 AD08  
AD09 AD10 AF04 AF05 BB16  
CA02 DA53 DA63 DP16 DP27  
EE12 EK02 HA06